

# Построение управляющих автоматов для схем синхронных цифровых автоматов

**Антик Михаил Ильич,**  
доцент кафедры Вычислительной техники  
Московского технологического университета

**Романов Александр Михайлович,**  
доцент кафедры Вычислительной техники  
Московского технологического университета

## АННОТАЦИЯ

Рассматриваются вопросы построения управляющих автоматов схем синхронных цифровых автоматов. Предлагается использование схем с явным указанием альтернативных адресов операндов с целью сокращения используемых аппаратных средств.

При проектировании вычислительного устройства, выполняющего сложную обработку цифровой информации по заданному алгоритму, одним из вариантов декомпозиции является представление синхронного вычислителя в виде композиции двух

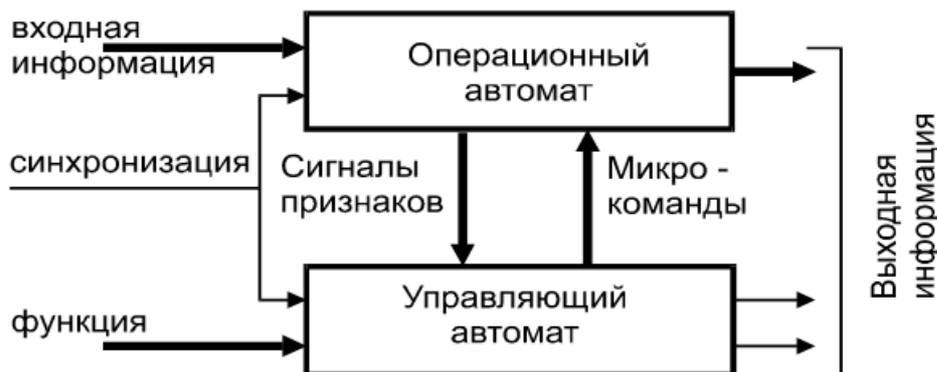


Рис.1. Структура вычислителя

автоматов операционного и управляющего — рис.1. При этом операционный автомат реализует отдельные шаги алгоритма, а управляющий автомат реализует порядок выполнения шагов алгоритма /1/.

Будем рассматривать работу управляющих автоматов, демонстрирующие основные применяемые варианты адресации микроинструкций, на алгоритме, показанном на рис. 2

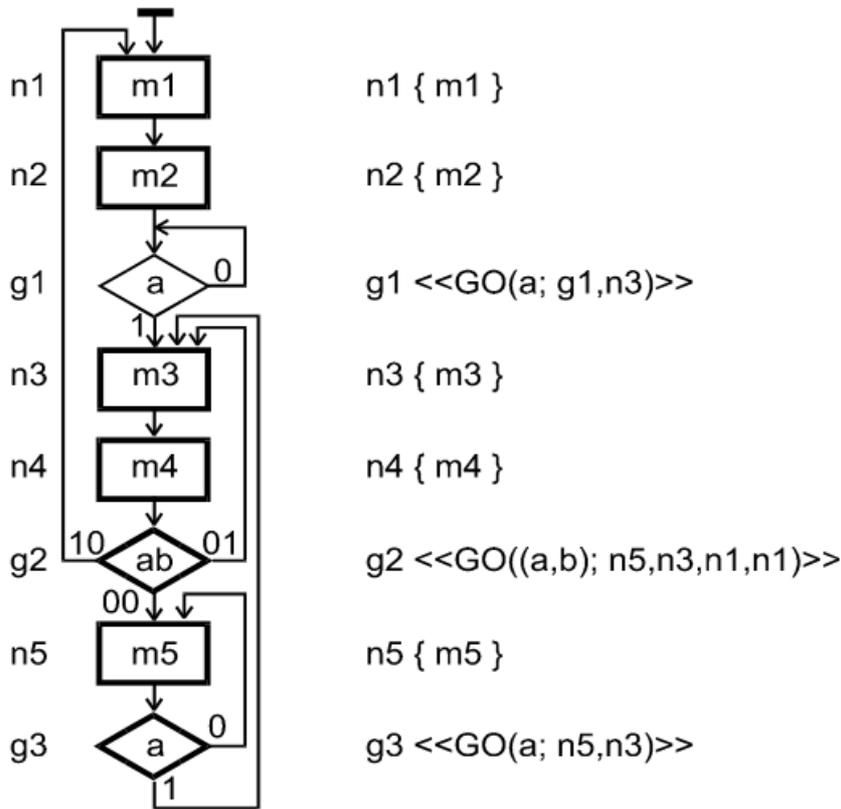


Рис2. Блок-схема и блок-текст микропрограммы

Рассмотрим работу управляющего автомата с адресным ПЗУ. В управляющем автомате с адресным ПЗУ (ROM\_1), реализующем функцию выхода, следует разместить микрокоманды; при этом их распределение по определенным адресам совершенно произвольно, за исключением начальной микрокоманды, которая должна располагаться по нулевому адресу в силу вышеуказанного ограничения (сброс в ноль RG YA в начальный момент времени). ПЗУ (ROM\_2), реализующее функцию переходов автомата, можно трактовать как адресное ПЗУ. Ячеек в адресном ПЗУ в два раза больше, чем в ПЗУ микрокоманд. Каждой ячейке ПЗУ микрокоманд соответствуют две ячейки в адресном ПЗУ, в которых записываются два альтернативных адреса.

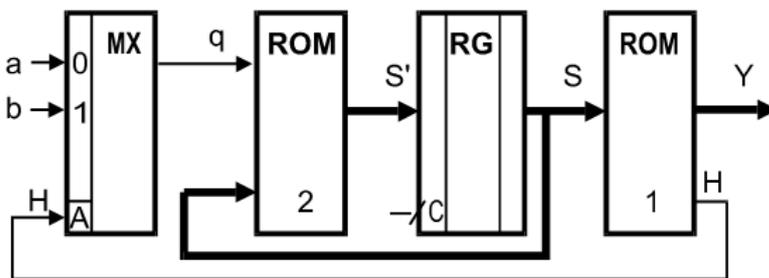


Рис.3. YA с адресным ПЗУ; последовательный вариант

		ROM 1			ROM 2		
		S	Y	H	S'	q	S
n1	{ m1 }	0	m1	X	0	0	1
n2	{ m2 }	1	m2	0	0	1	1
	«GO(a; d1,n3)»				1	0	2
d1	{ m0 }	2	m0	0	1	1	3
	«GO(a; d1,n3)»				2	0	2
n3	{ m3 }	3	m3	X	2	1	3
					3	0	4
n4	{ m4 }	4	m4	0	3	1	4
	«GO(a; d2,n1)»				4	0	5
d2	{ m0 }	5	m0	1	4	1	0
	«GO(b; n5,n3)»				5	0	6
n5	{ m5 }	6	m5	0	5	1	3
	«GO(a; n5,n3)»				6	0	6
					6	1	3

Более экономичной является схема с явным указанием альтернативных адресов. Эта схема отличается от предыдущей тем, что, по существу, тот же способ адресации выполнен с использованием только одного ПЗУ. В этом варианте альтернативные адреса записываются в той же микроинструкции, что и микрокоманда

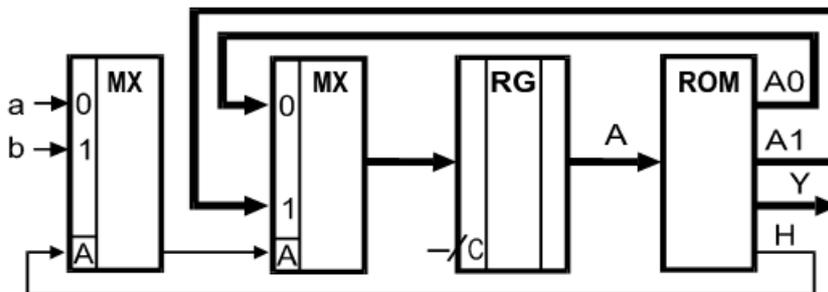


Рис.4. УА с явным указанием альтернативных адресов

Таблица переходов для этой схемы приведена далее.

		A	Y	H	A0	A1
n1	{ m1 }	0	m1	x	1	1
n2	{ m2 }	1	m2	0	2	3
	«GO(a; d1,n3)»					
d1	{ m0 }	2	m0	0	2	3
	«GO(a; d1,n3)»					
n3	{ m3 }	3	m3	x	4	4
n4	{ m4 }	4	m4	0	5	0
n4	{ m4 }	5	m0	1	6	4
	«GO(a; d2,n1)»	6	m5	0	6	4
d2	{ m0 }					
	«GO(b; n5,n3)»					
n5	{ m5 }					
	«GO(a; n5,n3)»					

Таким образом, при использовании альтернативной адресации можно значительно сократить объем аппаратных средств, необходимых для построения управляющих автоматов синхронных цифровых автоматов..

### Литература

1. Карпов Ю.Г. Теория автоматов. Учебник для вузов — ПИТЕР, 2002, 206с.